

UNIVERSIDAD CATOLICA NUESTRA SEÑORA DE LA ASUNCION
CYT

TRABAJO PRÁCTICO

DE

TAI2

EL PROCESADOR ITANIUM

INTEGRANTES:

JORGE HIRAIWA

JORGE TRIGUIS

AÑO 2001

Contenido

- 1- Introducción
- 2- Reseña Histórica
- 3- Tipos de Procesadores
 - Procesadores de Cartucho 4MB
 - Procesadores de Cartucho 2MB
- 4- Bus de dato del Sistema Itanium
- 5- Capa de Abstracción del Procesador
- 6- Perspectiva de la Micro-Arquitectura
 - El Amplio núcleo Epic trae un nuevo nivel de paralelismo
 - Procesador Pipeline
 - Diagrama de bloque del Procesador
- 7- Instrucciones del Procesador
 - Instrucciones de pre - búsqueda y búsqueda
 - Predicción de Rama
 - Lógica dispersa
- 8- Ejecución
 - Unidad de punto flotante
 - Lógica entera
 - Archivo de Registro de enteros
 - El motor de registro de pila
- 9- Control
- 10- Subsistema de memoria
 - El cache de instrucción L1
 - El cache L1 de datos
 - El cache L2 unificado
 - El cache L3 unificado
 - El Advanced Load Address Table
 - Translation Lookaside Buffers
 - El TLB de datos
 - El TLB de instrucción
 - Coherencia del cache
 - Write Coalescing
 - Ordenamiento de Memoria
- 11- Ejecución IA-32
- 12- Benchmark
- 13- Conclusión
- 14- Bibliografía

Introducción

El procesador Intel Itanium es la primera implementación de la arquitectura ISA (en inglés) el procesador emplea el concepto EPIC que es la computación de instrucciones paralelas explícitas. El procesador provee canales de comunicación con ancho de bandas de 6 y 10 etapas de profundidad corriendo a 733 y 800 MHz.

Los recursos consisten en cuatro unidades de enteros, cuatro unidades multimedia, dos unidades de carga y almacenamiento, 3 unidades de ramificación, dos unidades de punto flotante y otras dos unidades adicionales de precisión simple de punto flotante. El hardware utiliza búsquedas dinámicas, predirección de ramas y tableros de registro y memoria cache sin bloqueos para optimizar tiempo de compilación y ejecución.

Reseña Histórica

En 1994 Intel comenzó a trabajar con Merced, la cual representa a Intel como el futuro para las computadoras de 64 bits.

A mediados del '98 Intel anuncia que Merced había postergado el lanzamiento por que después de todo la tecnología de 64 bits es muy compleja.

A mediados del '99 Intel todavía no anuncia que se iba a lanzar, pero el proyecto en si avanzaba, pero la gente no tenía esperanza para que Intel terminara el proyecto.

A mediados del 2000 Intel anuncia que el lanzamiento se postergará otra vez, este anuncio se hizo en junio del 2000 justo cuando Intel lo iba a lanzar.

Después, en agosto del 2000 Intel publica 4 CPU de Itanium en LinuxWorld y The Intel Developer Forum.

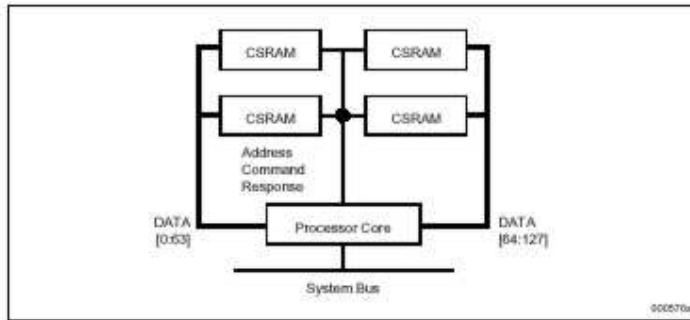
En octubre de 2000 Intel anuncia que Itanium no será lanzado hasta el final del octubre del 2000.

Después en enero de 2001 Intel postergo devuelta el lanzamiento.

Después de múltiples postergaciones, el 29 de mayo del 2001 Intel anuncia el lanzamiento del Itanium.

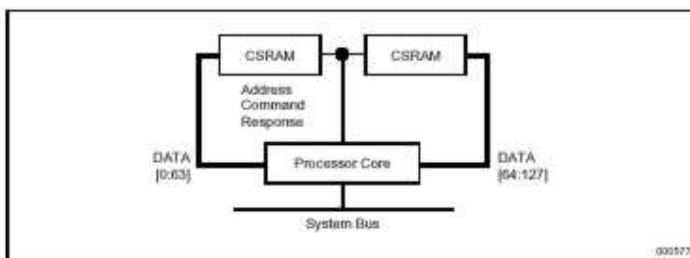
Tipos de Procesadores

- Procesador de cartucho 4MB



La imagen anterior muestra un procesador Itanium de cartucho 4MB que contiene el núcleo procesador y 4MB de cache Nivel 3 (L3) (cuatro 1MB Intel SRAMs cache). El cache L3 de alta velocidad esta completamente aislado en el cartucho Itanium y opera a la misma frecuencia que el núcleo del procesador.

- Procesador de cartucho 2MB



La imagen de arriba muestra un procesador Itanium de cartucho 4MB que contiene el núcleo procesador y 2MB de cache Nivel 3 (L3) (dos 1MB Intel SRAMs cache). El cache L3 de alta velocidad esta completamente aislado en el cartucho Itanium y opera a la misma frecuencia que el núcleo del procesador.

Bus de dato del Sistema Itanium

La señal del bus de dato usa una versión mejorada del AGTL bajo voltaje (Advanced Gunning Transceiver Logic).

Tecnología de señalización del Pentium III y Pentium III Xcon. Para él mas alto desempeño, el bus soporta transferencia de dato de fuente sincrónica. El sistema de señalización del bus requiere terminación externa al final de cada traza de señal para ayudar a suministrar un alto nivel de señal y controlar las reflexiones en la línea de transmisión. Máximo Throughput es 2,1 GB/sec.

Capa de abstracción del Procesador

El Itanium requiere un firmware llamado Processor de Abstraction Layer (PAL). El PAL reside en la memoria flash del sistema y es parte de la arquitectura del Itanium. Provee una capa de abstracción entre la implementación hardware del procesador y la plataforma firmware del sistema para mantener una única interfaz del software para múltiples implementaciones del procesador. El PAL encapsula dichas funciones del procesador que pueden cambiar de una implementación a otra para que el System Abstraction Layer (SAL) pueda mantener una vista consistente del procesador.

El SAL consiste de una plataforma dependiente de firmware. SAL es el Basic Input/Output System (BIOS) requerida para arrancar el sistema operativo.

Perspectiva de la Micro-Arquitectura

El Itanium es la primera implantación del Itanium Instruction Set Architecture (ISA). El procesador emplea EPIC(Explicitly Parallel Instruction Computing) concepto diseñado para ajustar el acoplamiento entre hardware y software. En este estilo de diseño, la interfaz entre hardware y software esta diseñado para permitir al software explotar toda la información disponible en tiempo de compilación, y eficientemente entregar esta información al hardware. Direcciona muchos cuellos de botella fundamentales en el desempeño de una computadora moderna, como la latencia de memoria, direcciones de memoria precisa y control de flujo de dependencias. La construcción del EPIC provee una poderosa semántica y permite al software hacer optimizaciones globales a lo largo del ámbito de la planificación, por lo tanto, mostrando disponible a la Instruction Level Parallelism (ILP) al hardware.

El hardware toma ventaja de este ILP mejorado y provee abundantes recursos de ejecución.

Adicionalmente, se enfoca en optimizaciones dinámicas en tiempo de ejecución para permitir al código compilado planificar su flujo a través de mayor throughput. Esta estrategia incrementa la energía entre hardware y software, y lleva a un mejor desempeño global.

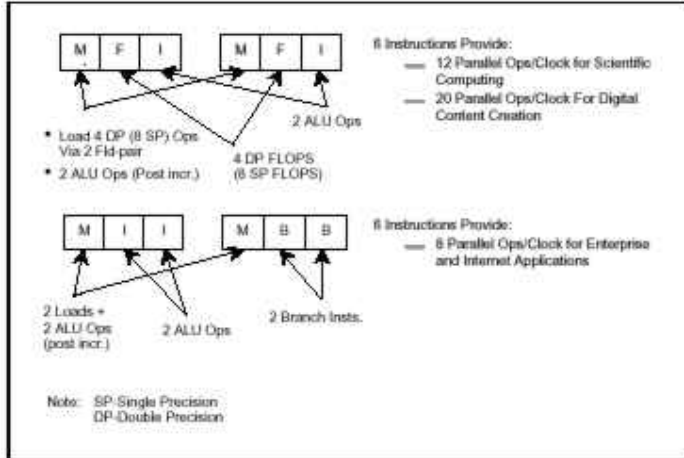
El procesador Itanium provee un grosor de 6 y 10 etapas de profundidad en pipeline, corriendo en 733 y 800Mhz.

Este provee una combinación de ambos recursos abundantes para aprovechar ILP a una alta frecuencia minimizando la latencia de cada instrucción. El recurso consiste de 4 unidades enteras y 4 unidades multimedia y 2 unidades load / store y 3 unidades de ramificación y 2 unidades de punto flotante de precisión extendida y 2 unidades de punto flotante de precisión simple adicional. El hardware emplea una pre - búsqueda dinámica, predicción ramificada, un marcador de registros, y cache sin bloqueos para optimizar el tiempo de compilación no determinístico. Tres niveles de cache empaquetado minimiza la latencia en la memoria global. Este incluye un cache L3 de 4 MB, accedido a la velocidad del núcleo, proveyendo encima de los 12 GB/seg de ancho de banda en los datos. El bus de sistema esta diseñado para glueless MP que soporta hasta un sistema de 4 procesadores y puede ser utilizado como un bloque fundamental en sistemas enormes. El FPU avanzado entrega encima de los 3 Gflops de capacidad numérica (6GFLOPS para precisión simple). El núcleo balanceado y subsistema de memoria provee alto performance para una amplia rama de aplicaciones que van desde trabajos comerciales hasta computación técnica de alto desempeño.

El amplio núcleo EPIC trae un nuevo nivel de paralelismo

El procesador provee hardware para las siguientes unidades de ejecución - 4 ALU's enteras, 4 ALU's multimedia, 2 unidades de punto flotante de precisión extendida, 2 unidades de punto flotante adicionales de precisión simple, 2 unidades de carga / almacenaje y 3 unidades ramas. La máquina puede obtener, dar por resultado, ejecutar y retirar 6 instrucciones en cada clock. Dada la poderosa semántica de las instrucciones del Itanium, esto expande a muchas más las operaciones siendo ejecutadas en cada ciclo.

En la figura se muestra dos ejemplos que demuestran el nivel de operación en paralelo soportado por varias cargas de trabajo. Para códigos empresariales y comerciales, el template combinado MH/MBB en un par de conjunto proveyendo 6 instrucciones o 8 operaciones paralelas por clock (2 load / store, 2 operaciones de ALU's de propósito general, 2 operaciones ALU de post incremento y 2 instrucciones de ramificación). Alternativamente, par de MIB/MIB permite la misma mezcla de operaciones pero con 1 rama indirecta y 1 operación de ramificación, en vez de 2 operaciones de ramificación. Para código científico, el uso del template MF1 en cada conjunto permite 12 operaciones paralelas por clock (cargando 4 operandos de doble precisión a los registros, ejecutando 4 flops de doble precisión, 2 operaciones ALU enteras y 2 operaciones ALU de post incremento). Para contenido de creación de código digital que usa punto flotante de precisión simple, el SIMD presenta en la máquina efectivamente provee la capacidad de realizar 20 operaciones paralelas por clock (cargando 8 operandos de precisión simple, ejecutar 8 FLOPs de precisión simple, 2 ALU's enteras y 2 operaciones ALU de post incremento).



Procesador pipeline

El hardware del procesador esta organizado en una tubería central de 10 etapas como se muestra en la figura que puede ejecutar hasta 6 distribución en paralelo por cada siglo del reloj. Las primeras 3 etapas de la línea ejecutan la búsqueda y derivan las instrucciones a un buffer de decodificación en la etapa ROT (rotación) lo que habilita el extremo de salida de la maquina independientemente de la entrada.

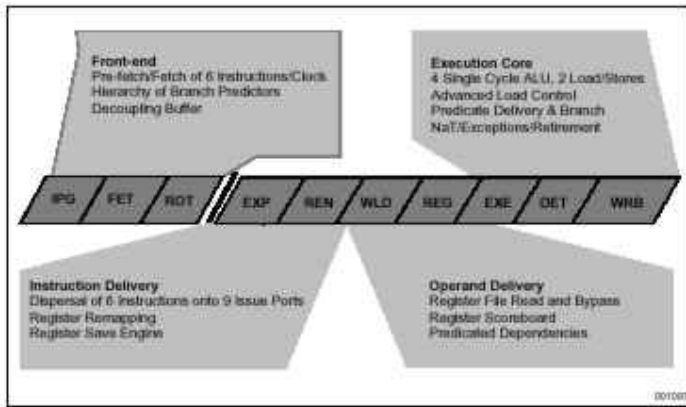
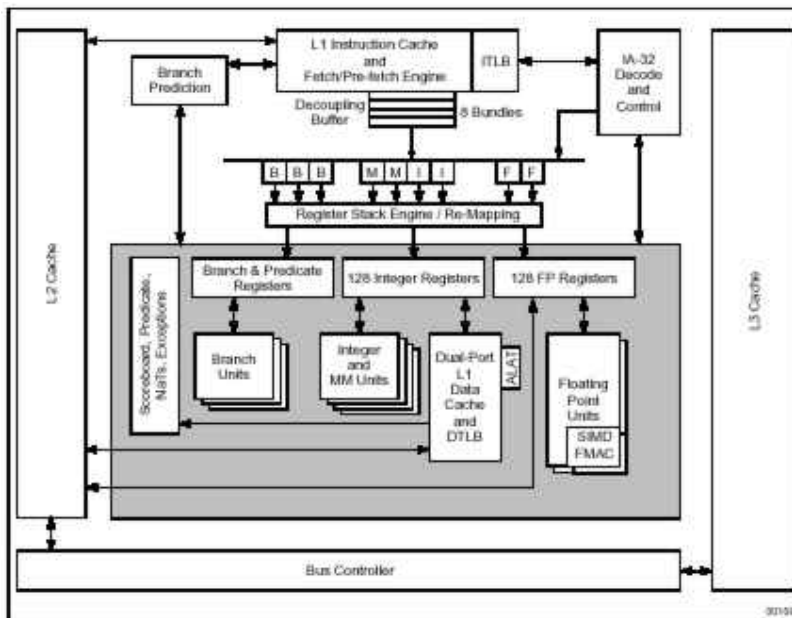


Diagrama de Bloque del procesador



Las funciones del procesador están divididas en 5 grupos.

Grupo 1 Procesamiento de instrucciones

Este grupo contiene la lógica de pre-búsquedas y búsquedas, predicción de ramas, decodificación del buffer y motor o redireccionamiento de pilas de registro.

Grupo 2 Ejecución

Contiene la lógica para enteros, puntos flotantes, multimedias, unidades de ejecución de ramas y registro de enteros y puntos flotantes

Grupo 3 control

Contiene el manejador de las excepciones y las líneas de comunicación

Grupo 4 Subsistemas de Memoria

Contienen el cache de instrucciones (L1I) y el cache de datos (L1D) también la unidad L2 y L3 y los interruptores programables de control, incluye la tabla de direcciones de carga avanzada (ALAT) por ultimo el bus del sistema y el bus lógico del lado de atrás

Grupo 5 ejecución de instrucciones (IA-32)

Este grupo contiene el hardware para manejar el juego de instrucciones

Instrucciones del Procesador

1- Instrucciones de pre búsqueda y búsqueda

Actuando en conjunto con sofisticados predictores de ramas y corrección por hardware, el procesador Itanium especulativamente busca instrucciones moderadamente medidas y pipelined en un cache de instrucciones (L1) a un buffer desacoplador. Este buffer permite al extremo final previamente buscar especulativamente y esconder el cache de instrucciones y la predicción de ramas. Una jerarquía de predictores de ramas, ayudados por ramas indirectas proveídas por el compilador, da hasta 4 punteros a instrucciones mejorados progresivamente. La pre-búsqueda iniciada por software explora por futuras pérdidas en el cache de instrucción y luego pre busca ese código objetivo desde el cache L2 a un buffer de flujo y eventualmente al cache de instrucciones.

El cache de 16KB, conjunto asociativo de instrucciones a 4 vías esta completamente pipelined, y puede entregar 32B de código (dos instrucciones en conjunto o 6 instrucciones) cada clock. Esta ayudado por un TLB de instrucciones de 64 entradas de único ciclo que está completamente asociado y apoyado por un chip de hardware paseante de página.

2- Predicción de ramas

Hay 4 restears:

Resteers1: Predictor especial de ciclo único (uso en compilador con direcciones de registros apuntadas).

Resteers2: Predictor multiforme de dos niveles adaptativos y retornador de predicción.

Resteers3,4: Calculador de direcciones de ramas y corrección (BAC1, BAC2)

3- Lógica dispersa

El buffer desacoplador alimenta la dispersión lógica en un conjunto granular (hasta dos conjuntos o 6 instrucciones por ciclo), con un conjunto fresco cada vez que otro es consumido. La dispersión de los 2 conjuntos son instrucciones granuladas – el procesador dispersa tantas instrucciones atendidas que pueden ser hasta 6 (de izquierda a derecha). El algoritmo de dispersión es rápido y simple, con instrucciones dispersa al primer puerto disponible sujeto a dos limitaciones: detección de la independencia de la instrucción y detección de sobre subscripción de recursos.

Ejecución

El procesador Itanium tiene la siguiente unidades de ejecución:

4 enteras, 4 multimedia, 2 puntos flotantes de precisión extendida, y 2 de punto flotante adicionales de precisión simple, 3 ramas, y 2 unidades load/store. El procesador implementa 128 registros enteros y 128 de punto flotante, y 8 registro de rama.

El motor de enteros soporta todas las operaciones lógicas y aritméticas de enteros no empaquetados. El motor multimedia pueden tratar datos de 64 bits ya sea como 2x32bits, 4x16bits, o 8x8bits tipo de paquetes.

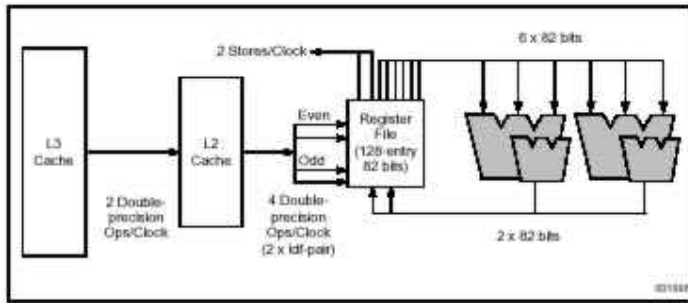
Cuatro operaciones enteras o multimedia pueden ser ejecutado en cada ciclo. El motor de punto flotante soporta multiplicación – suma simultanea para poder realizar computo científico.

1- La unidad de punto flotante

El FPU tiene 128 entradas a registros FP con 8 puertos de lectura y 4 de escritura que soporta operación de ancho de banda completo.

En cada ciclo los 8 puertos de lectura pueden entregar 2 FMACs de posición extendida (cada uno con tres operandos) así como almacenar dos FP en la memoria. Los 4 puertos pueden albergar 2 resultados de precisión extendida de las dos unidades MAC y el resultado de las dos instrucciones de carga por ciclo.

Para incrementar la efectividad del ancho de banda de escritura en el FPU desde memoria, los registros de FP son divididos en dos bancos, pares e impares. Esto permite a los dos puertos físicos para cargar retornos para ser usados en la escritura de 4 valores por ciclo al registro (dos por cada banco), usando dos pares de instrucciones LDF. El cache L1 al alimentar el FPU es el cache L2 unificado. La latencia de cargas desde este cache al FPU es de 9 ciclos. Para datos mas allá del cache L2, el ancho de banda para el cache L3 es de 2 operaciones de doble precisión por ciclo (una línea de 64 bytes cada 4 ciclos).



2- La lógica entera.

El motor de ejecución de enteros incluye 4 ALUs y el puerto de la memoria es usado para gestionar load/store. Todas las operaciones son completamente bypass.

3- Archivo de Registro de enteros

El archivo de registro de enteros esta dividido dentro de un subconjunto estático y apilado. El subconjunto estático es visible para todo el procedimiento y consiste de 32 registros generales desde GR0 hasta GR31. GR0 siempre retorna 0.

El subconjunto apilado localiza para obtener procedimiento comenzando en GR32 y puede variar de tamaño desde 0 hasta 96 registros sobre el control de software. El mecanismo de registro de la pila es implementado para renombrar la dirección de registro como un efecto secundario del procedimiento de llamada y retorno. La implementación de este mecanismo de renombramiento no es visible para un programa de aplicación.

4- El motor de registro de pila (RSE)

El procesador Itanium elimina todo lo asociado con llamada/retorno evitando el vaciamiento y llenado de registros en interfaces de procedimiento, entregando un registro de pila y un gran archivo de registro. Cuando un procedimiento es llamado, un nuevo frame de registro es creado para ser llamado el procedimiento sin la necesidad de un registro explícito. El viejo registro permanece en un gran archivo de registro físico mientras que exista capacidad física suficiente. Cuando el numero de registro necesita overflows la capacidad física disponible, la maquina estática RSE es llamada para salvar registros en la memoria para liberar registros necesarios por la llamada.

Sobre una llamada de retorno, el procesador es invertido para restaurar acceso a la prioridad estática de la llamada. En caso de que en donde el RSE había salvado algunos de los registros llamados, el procesador demora para retornar hasta que el RSE pueda restaurar el numero apropiados de los registros llamados. El procesador Itanium implementa el modo perezoso forzado de RSE.

Control

El grupo de control de Itanium esta compuesto por el manejador de excepción y el control de pipeline. El manejador de excepción implementa prioridades de excepción. El control de pipeline utiliza una tabla para detectar dependencias de registro fuente y también apoyo especial para especulación de control y datos así como para predicación. Para especulación de control, el hardware maneja la creación y propagación de tokens diferenciado de excepción. (llamado NaT). Para

especulación de datos, el procesador provee una tabla de carga de direcciones avanzada o ALAT. El soporte a la predicación incluye manejo de 64 registro predicado de 1 bit así como los efectos de predicados en las ejecuciones de instrucciones.

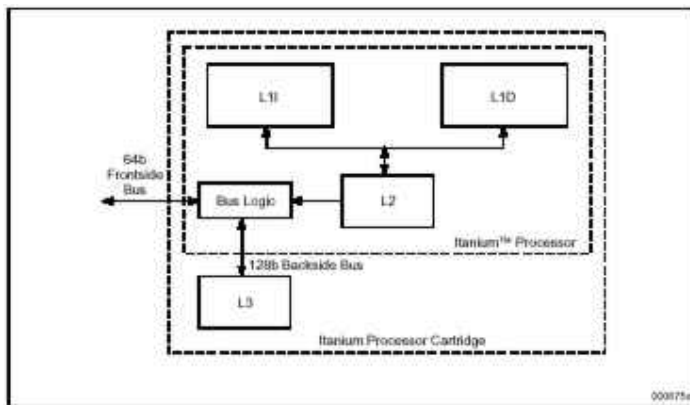
Subsistema de memoria

El Itanium accede a la memoria principal a través del bus del sistema. El grupo de subsistema de memoria para Itanium contiene el cache de instrucción L1 (L1I), el cache de datos L1 (L1D), el cache unificado L2, el cache unificado L3, el controlador programable de interrupciones (PIC), la tabla de carga de direcciones avanzada (ALAT), y el bus de sistema y la lógica para soportar el bus.

El cache L2 contiene instrucciones y datos accesibles a plena velocidad del procesador. El cache L2 puede manejar 2 pedidos por clock vía bancos si no hay condiciones de conflicto. Este cache esta unificado, permitiéndole servir tanto a los pedidos de instrucciones y datos de los caches L1. Cuando un pedido al cache L2 causa una perdida, el pedido es automáticamente re-enviado al cache L3.

La lógica para soportar el bus accede al cache L3 a través de 128bits de backside bus operando a la velocidad del procesador.

Las perdidas de cache L3 son automáticamente enviadas a la memoria principal a través del bus del sistema del Itanium.



1- Cache de instrucción L1

El cache de instrucción L1(L1I) del procesador Itanium es de 16 KB en tamaño y organizado en cuatro conjuntos asociados a 32 bits de tamaño de línea. L1I es full pipelined y puede entregar una línea de 32 bits conteniendo dos conjuntos (6 instrucciones cada clock). El cache L1I esta físicamente indexado y físicamente marcado.

2- Cache L1 de datos

El cache L1 de datos (L1D) del procesador Itanium tiene dos puertos de 16KB en tamaño y se organiza en un conjunto de cuatro formas asociativas (Con forma de predicación) con 32 B de tamaño de línea y dos ciclos de latencia de carga. Puede soportar dos cargas concurrentes o almacenajes. El cache de datos L1 solo cachea para la unidad entera, no para la unidad punto flotante. El cache L1D se

escribe a través sin localización de escritura. El cache L1D esta físicamente indexado y físicamente marcado.

3- Cache L2 unificado

El cache L2 unificado tiene dos pseudo - puertos que soportan accesos concurrentes vía bancos. El cache L2 tiene 96KB, en 6 conjuntos asociados con 64 B de tamaño de línea. El cache L2 usa una política localización de escritura con escritura de respaldo. El cache L2 esta físicamente indexado y físicamente marcado.

4- El cache L3 unificado

El cache L3 unificado esta disponible en tamaño de 4 o 2 MB y esta organizado en un conjunto de cuatro formas asociativas con 64 B de tamaño de línea. El cache L3 esta físicamente indexado y físicamente marcado. El cache L3 es accedido vía 128 bit-back-side bus dedicado que corre a la velocidad del núcleo del procesador.

5- El Advanced Load Address Table (ALAT)

Una estructura llamada ALAT se usa para permitir especulación de datos en un procesador Itanium. El ALAT mantiene información sobre datos de carga especulativos gestionados por el procesador y cualquier almacenaje que esta ligado a estas cargas. El ALAT del Itanium tiene 32 entradas y esta asociado en 2 formas.

6- Translation Lookaside Buffers (TLBs)

Existen 3 tipos de TLBs en Itanium: First level Data Translation Lookaside Buffers (DTLB 1), Second level Data Translation Lookaside Buffers(DTLB 2), y el Instruction Translation Lookaside Buffers (ITLB). Las perdidas del TLB tanto en el DTLB1 y DTLB2 o el ITLB son servidas por el hardware page table walker que soporta las 8B y 32B del formato Virtual Hash Page Table (VHPT) definido en Itanium.

- El Data TLB (DTLB)

El DTLB tiene una jerarquía de dos niveles (DTLB1 y DTLB2 no son inclusivos):

* El DTLB1 tiene 32 entradas, es completamente asociativo y mantiene copias en cache del DTLB2 principal. El DTLB1 no es arquitecturalmente visible

* El DTLB2 tiene 96 entradas, es completamente asociativo y retiene todos los tamaños de paginas arquitecturalmente definidos, data translation Register (TR) y entradas de data translation cache (TC).

* Hay 48 data TRs en procesador Itanium.

- El Instruction TLB (ITLB)

El ITLB tiene un único nivel:

* El ITLB contiene 64 entradas y es completamente asociativo.

* El ITLB retiene todos los tamaños de paginas arquitecturalmente definidos, y entradas instrucción TC. El ITLB solo tiene un nivel de jerarquía.

* Existen 8 instruction TR en el procesador Itanium.

7- Coherencia del cache

Un sistema de cache de 3 niveles requiere un mecanismo para consistencia de datos entre diferentes niveles de cache. Cada acceso de lectura de dirección de memoria debe proveer el dato más actualizado a esa dirección.

El procesador Itanium implementa el MESI(Modified, Exclusive, Shared, and Invalid) protocolo declarado para mantener la coherencia del cache.

8- Write Coalescing

Para mejorar el desempeño de referencias no cacheables a marcos de buffers, el Write Coalescing (WC) une flujos de datos en un único gran bus de transacción de escritura. En el Itanium, la carga del WC es hecha directamente desde la memoria y no desde los Coalescing buffers.

En el procesador Itanium dos entradas separadas, 64 byte buffer (WCB) es usado para el acceso exclusivo al WC. El procesador expulsara (vaciará) cada buffer si el buffer esta lleno o se alcanza las limitaciones específicas.

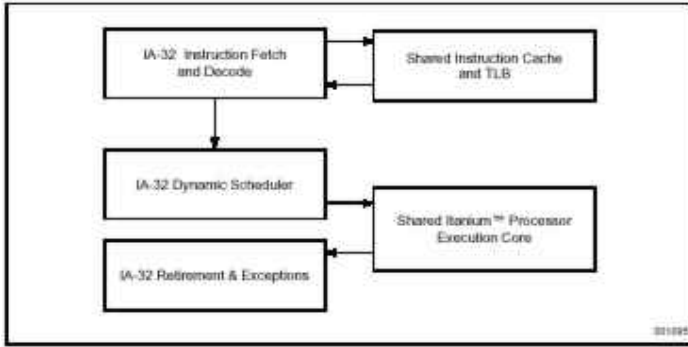
9- Ordenamiento de Memoria

El Itanium implementa un modelo relajado de ordenamiento de memoria para mejorar el desempeño de la memoria principal. Las transacciones de memoria son ordenadas respecto a su visibilidad donde la visibilidad de una transacción se define como el punto en el tiempo después del cual ninguna transacción posterior afecta esta operación.

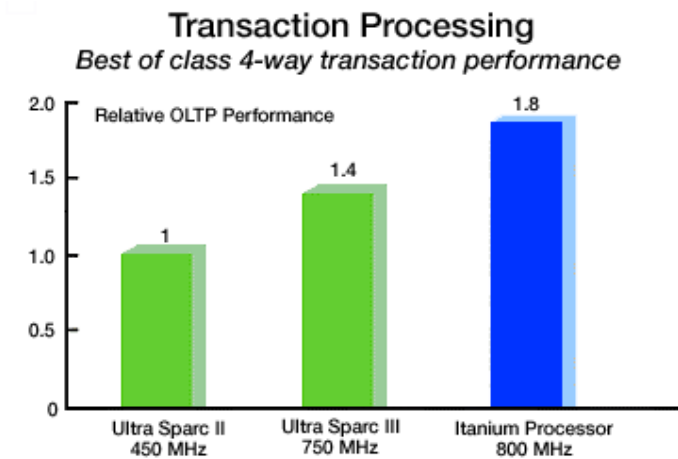
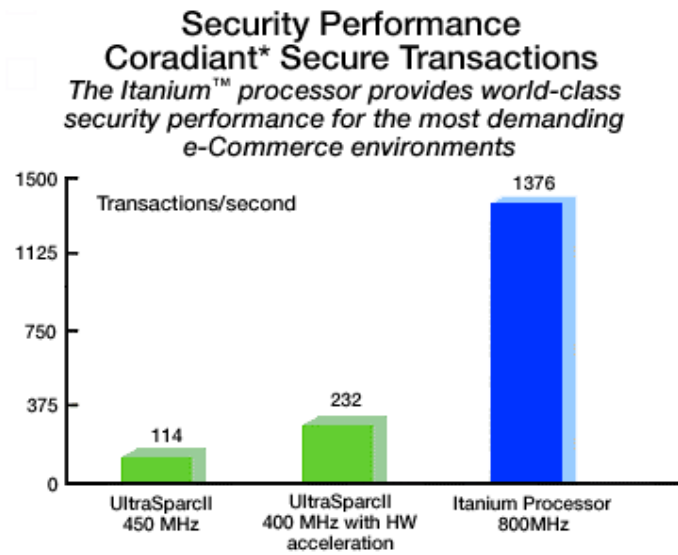
En el Itanium, una transacción se considera visible cuando sus bits de L1D (sí la instrucción servible por el L1D), el L2 o el L3, o cuando a alcanzado el punto de visibilidad en bus del sistema.

Ejecución (IA-32).

El procesador Itanium soporta compatibilidad con instrucciones binarias IA-32 en hardware. Esto incluye soporte para ejecutar una variedad de aplicaciones IA-32 y aplicaciones basadas en Itanium sobre un SO basado en Itanium, así como aplicaciones IA-32 en un SO IA-32, en ambas configuraciones mono-procesador y multi-procesador. El motor IA-32 esta diseñado para ser uso de los registros, caches y recursos de ejecución de la máquina EPIC. Para entregar la máxima performance en asuntos binarios, el motor IA-32 planifica las instrucciones dinámicamente.

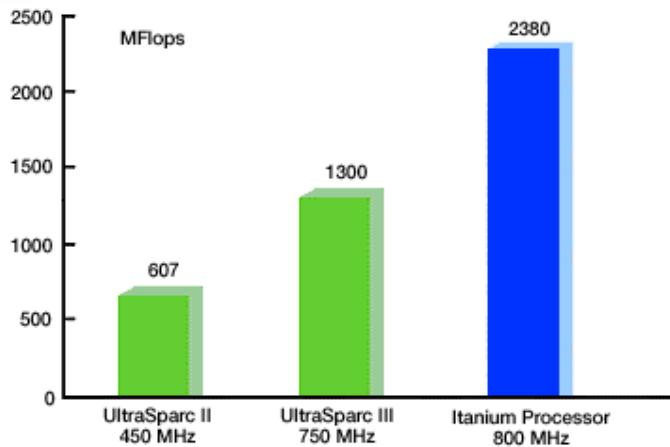


Benchmark



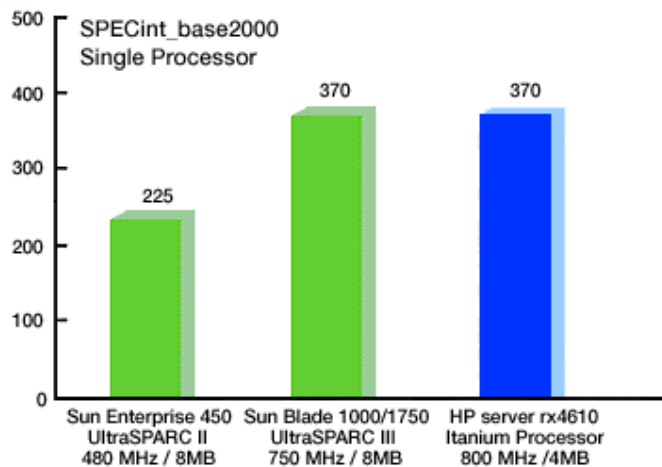
High Performance / Technical Computing Linpack*-1000 Benchmark

The Itanium™ processor provides world-class floating-point performance in the most rigorous technical computing environments



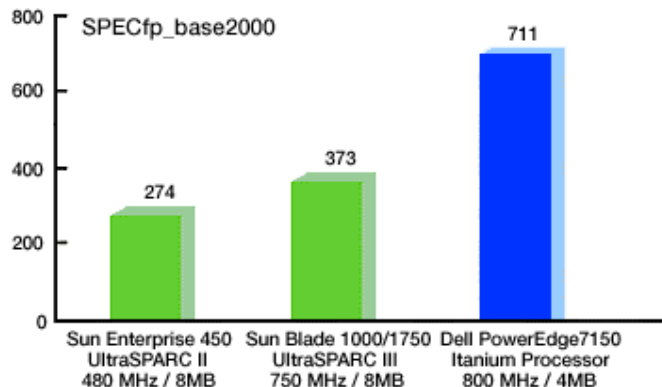
SPEC CPU2000 Performance – SPECint2000

Itanium™ Processor delivers best of class floating point performance and competitive integer performance



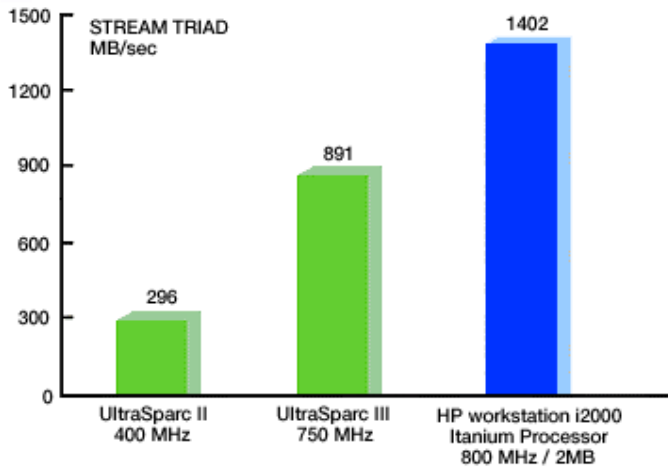
SPEC CPU2000 Performance – SPECfp2000

Itanium™ processor delivers best-of-class floating point performance and competitive integer performance



System Memory Bandwidth Performance STREAM* Benchmark

The Itanium™ processor with the Intel® 460GX chipset provides leading system memory bandwidth performance



Conclusión

El 386 fue lanzado en 1985 el cual fue una novedad para ese tiempo porque era una cpu de 32bits, con el avance de la tecnología hemos alcanzado un desarrollo tal que las empresas como Intel logro crear un procesador llamado Itanium el cual después de muchas postergaciones pudo ser lanzado como una novedad porque revoluciono el mercado de los procesadores utilizando 64bits lo cual es nuevo hasta ahora.

En la actualidad el Itanium es utilizado en servidores que requieren una potencia máxima de manipulación de datos, pero como ha pasado con las Pentium's, el Itanium va a llegar a nuestros hogares como llegaron las Pentium's las cuales eran supuestamente cpu para servidores pero hoy en día cualquier persona tiene acceso a una Pentium's.

Pero tarde o temprano (a mas tardar para el 2038) todos los procesadores deberían ser de 64bits, ya que en el 2038 surgirá el problema de la fecha.

Se esta llegando poco a poco los sistemas operativos de 64bits, por ejemplo RedHat Linux 7.1, Microsoft Windows (XP, 2000, etc.) y en el futuro cercano todo usaremos un nuevo sistema basado en un procesador de 64bits.

Bibliografía

<http://www.geek.com/procspec/features/Itanium/>

<http://www.hp.com/products1/Itanium/index.html>

<http://www.devx.com/Itanium/>

<http://developer.Intel.com/design/Itanium/index.htm>

<http://www.devx.com/Itanium/iarticles.asp>